

VIII-P-3.1

THIẾT KẾ BỘ BIẾN ĐỔI CÔNG SUẤT THẤP CHO KHỐI DCT NGUYÊN THEO CHUẨN H.264

Bùi An Đông, Huỳnh Quốc Thịnh, Nguyễn Ngọc Hùng, Trần Hoàng Tuấn,
Trần Thị Diễm Thi, Lê Văn Nông

Khoa Điện tử - Viễn thông, Trường ĐH KHTN, ĐHQG-HCM

Tóm tắt

Bài báo trình bày kiến trúc công suất thấp của khối DCT nguyên theo chuẩn video H.264. Khối DCT 2 chiều được chia thành 2 biến đổi DCT 1 chiều và dùng chung bộ nhớ. Thiết kế của nhóm tác giả chỉ sử dụng 1 bộ biến đổi DCT 1 chiều để thực hiện việc biến đổi DCT 2 chiều. Do đó, việc biến đổi ít phức tạp và công suất thấp hơn so với các thiết kế DCT trước đây. Thuật toán và kiến trúc phần cứng của khối DCT được mô phỏng bằng Matlab và công cụ VCS của Synopsys. Thiết kế phần cứng sau đó được tổng hợp bằng công cụ Design Compiler với công nghệ CMOS 90nm. Để biến đổi DCT 2 chiều cho một khối 4x4, thiết kế cần 56 chu kỳ clock và có thể thực hiện ở tần số 100MHz với công suất tiêu thụ xấp xỉ 85 μ w và diện tích thiết kế 23,450 μ m².

A LOWPOWER DESIGN OF INTEGER DESCRETE COSINE TRANSFORM (IDCT) BLOCK FOR H.264

Abstract

This paper concentrates on a low-power integer forward DCT architecture for H.264/AVC codecs. 2-D DCT is divided into two 1-D DCT calculations that share memories. In this word, we can use only one 1-D DCT block to perform 2-D DCT transform. Thus, our design is less complex and lower power than conventional methods. The proposed DCT algorithm was verified by Matlab and VCS tool from Synopsys. Then the design was synthesized by Design Compiler with 90nm CMOS technology. The DCT core requires 56 clock cycles to finish one 4x4 block. At the clock frequency of 100MHz, estimated power dissipation is 85 μ w of the DCT core area is about 23.450 μ m².