

II-P-1.69

THIẾT KẾ MẠCH VÒNG KHÓA PHA (PLL)

Trần Hữu Thông

Khoa Vật lý - Vật lý Kỹ thuật, Trường ĐH KHTN, ĐHQG-HCM

Tóm tắt

Báo cáo “Thiết kế mạch Vòng Khóa Pha” sẽ trình bày về cơ sở lý thuyết, sơ đồ mạch cũng như kết quả mô phỏng của mạch đã thực hiện. Mạch đã thiết kế có tần số 1GHz có thể ứng dụng rộng rãi. Để thiết kế mạch, chúng tôi sử dụng công cụ thiết kế Cadence và mô phỏng bằng Spectre. Vi mạch được thiết kế dựa trên công nghệ 130nm GlobalFoundries. Vi mạch được thiết kế đảm bảo có sự ổn định, hiện tượng trôi tần số (jitter) thấp giúp cho mạch ổn định cao. Trong quá trình mô phỏng, nhóm đã mô phỏng mạch các tần số khác nhau, để kiểm tra tính ổn định của mạch, và khoảng giới hạn tần số ngõ vào.

DESIGNING OF PHASE LOCKED LOOP (PLL)

Abstract

The report “Designing of Phase Locked Loop” described the theory, the schematic of circuit and simulation result. This circuit was designed with output frequency about 1GHz, so that it can be used vastly application. We designed this circuit by Cadence tool, and Spectre for simulation. Circuit was designed in 130nm GlobalFoundries technology. We designed this circuit with high stability and a low jitter. We have simulated this circuit with some different input frequency for check the stability and the input range.

Email liên hệ: ththong@phys.hcmuns.edu.vn