

## II-P-1.73

### A CMOS LOW NOISE AMPLIFIER DESIGN FOR 433MHz RECEIVER

Kien. N. V & Duy. D

Integrated Circuit Design Research and Education Center (ICDREC)

#### Tóm Tắt

Trong bài báo này trình bày về thiết kế mạch LNA (Low Noise Amplifier) với độ lợi cao và mức nhiễu thấp cho hệ thống nhận tín hiệu 433MHz UHF trên công nghệ 0.13 $\mu$ m RF CMOS. LNA được thiết kế có số nhiễu thấp 1.905dB, hệ số khuếch đại 15.5dB, độ ổn định cao với hệ số ổn định 331, công suất tiêu thụ thấp 13.66mW và mạch có độ tuyến tính cao với điểm chắn bậc ba ở ngõ vào -4.9dBm, diện tích lõi IP 806 $\mu$ m $\times$ 506 $\mu$ m. Hơn thế nữa, mạch LNA còn được thiết kế với sự phối hợp trở kháng 50 $\Omega$  ở ngõ vào và ngõ ra với hệ số phản xạ ngõ vào và ngõ ra tương ứng là -13.72dB và -25.65dB

#### Abstract

An implementation of the CMOS Low Noise Amplifier (LNA) using 0.13 $\mu$ m RFCMOS process will be presented in this paper. The LNA is designed with noise figure of 1.905dB, forward gain of 15.5dB, high stability factor of 331, low power consumption of 13.66mW and high linearity with the third order input intercept point of -4.9dBm, its IP core area covers 806 $\mu$ m $\times$ 506 $\mu$ m. In addition, LNA has a good input and output impedance matching to 50Ohms with reflection coefficients of -13.72dB and -25.65dB respectively.

---

Email liên hệ: [kien.nguyenvan@icdrec.edu.vn](mailto:kien.nguyenvan@icdrec.edu.vn)