

## VIII-O-8

### THIẾT KẾ FLASH-ADC TỐC ĐỘ 400MS/S, CÔNG SUẤT THẤP DÙNG CÔNG NGHỆ CMOS 180NM

Võ Thanh Trí, Bùi Trọng Tú, Lê Đức Hùng

Khoa Điện tử - Viễn thông, Trường ĐH KHTN, ĐHQG-HCM

#### Tóm tắt

Bài báo này giới thiệu một thiết kế Flash-ADC có tốc độ cao và công suất thấp. Bằng cách áp dụng kỹ thuật Double sampling rate và kiến trúc mạch so sánh mới có nhiều Kick-back thấp, thiết kế đã được tốc độ chuyển đổi cao mà vẫn đạt được yêu cầu công suất thấp. Thiết kế được thực hiện dùng công nghệ CMOS 180nm. Kết quả mô phỏng cho thấy thiết kế có hoạt động tốt ở tốc độ 400Msp, công suất 23mW, giá trị DNL và INL lần lượt là 0.15 LSB và 0.6 LSB.

#### 400MS/S, LOW POWER FLASH-ADC USING 180NM CMOS PROCESS

#### Abstract

Abstract: This paper presents a design of Flash-ADC that can achieve high performance and low power consumption. By using the Double Sampling Rate technique and a new comparator topology with low kick-back noise, this design can achieve high sampling rate while still consuming low power. The design is implemented in a 0.18 um CMOS process. The simulation results show that this design can work at 400 MS/s and power consumption is only 23 mW. The DNL and INL are 0.15 LSB and 0.6 LSB, respectively.