

VIII-P-2.1

THIẾT KẾ BỘ NÉN VÀ GIẢI NÉN JPEG TỐC ĐỘ CAO SỬ DỤNG GIAO TIẾP PCI

Nguyễn Xuân Thuận, Đỗ Quốc Minh Đăng, Tăng Phương Phương, Huỳnh Hữu Thuận

Khoa Điện tử - Viễn thông, Trường ĐH KHTN, ĐHQG-HCM

Tóm tắt

Với băng thông truyền dữ liệu lớn, Peripheral Component Interconnect Express (PCIe) đã trở thành một trong các chuẩn giao tiếp quan trọng nhất trong các hệ thống ngày nay. Trong bài báo này, chúng tôi trình bày một thiết kế nén và giải nén JPEG tốc độ cao dựa trên chuẩn PCIe và tiến hành trên FPGA. Thuật toán BinDCT được sử dụng để tăng tốc độ và giảm độ phức tạp tính toán. Ngoài ra, nhiều kỹ thuật thiết kế phần cứng được sử dụng như Direct Memory Access (DMA), truyền burst và pipeline, xử lý song song, Canon Signed-Digit (CSD), ... được tiến hành để tăng tốc độ xử lý. Hệ thống được xây dựng bằng Verilog HDL và tiến hành trên Stratix IV FPGA. Kết quả 700 fps đối với frame 640x480 24-bit RGB tại xung clock 125 MHz chứng tỏ hệ thống có thể đáp ứng yêu cầu thời gian thực.

A PCIe-BASED FPGA IMPLEMENTATION FOR VERY HIGH-SPEED JPEG CODEC

Abstract

Because of the high bandwidth data transfer, Peripheral Component Interconnect Express (PCIe) has been become the most important interface on new systems. This paper presents the PCIe-based FPGA implementation for very high speed JPEG codec. The BinDCT algorithm is utilized to achieve low-complexity and high-speed processing. Furthermore, some hardware design techniques including Direct Memory Access (DMA), burst and pipeline transfers, parallel processing, Canon Signed-Digit (CSD) etc. are employed to accelerate the processing speed. The proposed system has been designed using Verilog HDL and implemented in a Stratix IV FPGA. The result of nearly 700 frame per second (fps) for 640x480 24-bit RGB image at the clock rate of 125MHz proves that the system can fully satisfy the requirements of real-time applications.