

## VIII-P-11

# THIẾT KẾ MẠCH VÒNG KHÓA PHA SỐ DPLL SỬ DỤNG TOOL CADENCE

*Nguyễn Thị Thiên Trang, Võ Ngọc Đức*

Khoa Điện tử-Viễn thông, Trường ĐH Khoa học Tự nhiên – ĐHQG Tp.HCM

### Tóm tắt

Vòng khóa pha PLL dùng để tạo ra tín hiệu và đồng bộ nó với tín hiệu ngõ vào. Tín hiệu ngõ vào có thể là dữ liệu hoặc xung clock. Tùy thuộc vào mục đích thiết kế, PLL hầu hết thường được dùng để giải quyết các vấn đề liên quan đến tín hiệu hoặc xung clock nhằm làm giảm các biến đổi về thời gian, triệt các độ lệch xung clock, tổng hợp các tần số cao hơn. Các DPLL được sử dụng rất phổ biến trong các hệ thống truyền thông.

Bài báo này sẽ mô tả thiết kế của một bộ DPLL số sử dụng công nghệ 0.18  $\mu\text{m}$ . Bộ DPLL bao gồm 4 thành phần chính: dao động thể kiểm VCO, bộ lọc lặp, bộ dò pha và bộ chia. Thiết kế này sử dụng nguồn cung cấp 1.8 V và hoạt động với tần số ngõ vào trong khoảng từ 20-100 MHz.

## DESIGN OF A DIGITAL PHASE LOCKED LOOP (DPLL) USING CADENCE TOOL

*Nguyen Thi Thien Trang, Vo Ngoc Duc*

Faculty of Electronics – Telecommunications, University of Science – VNU HCMC

### Abstract

A phase locked loop (PLL) is a device which generates a clock and synchronizes it with an input signal. Depends on different purposes, the PLL most often deals with signals or clocks to reduce timing jitters, suppresses clock skews, synthesizes higher frequencies, or assists data and clock recoveries. DPLLs are used widely in communications systems.

This paper describes the design of a DPLL in 0.18  $\mu\text{m}$  CMOS technology. This design comprises four parts: voltage controlled oscillator-VCO, loop filter, phase detector and divider. This DPLL uses a supply voltage of 1.8 V and has input frequency from 20-100 MHz.

Keywords: DPLL, VCO, phase detector, divider, loop filter.